

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-6681

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 29/788

29/792

9191-5L

8225-4M

G 1 1 C 17/ 00

H 0 1 L 29/ 78

3 0 9 A

3 7 1

審査請求 未請求 請求項の数1(全 15 頁)

(21)出願番号

特願平3-278691

(22)出願日

平成3年(1991)9月30日

(31)優先権主張番号

特願平3-41950

(32)優先日

平3(1991)3月7日

(33)優先権主張国

日本(J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 桐澤 亮平

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

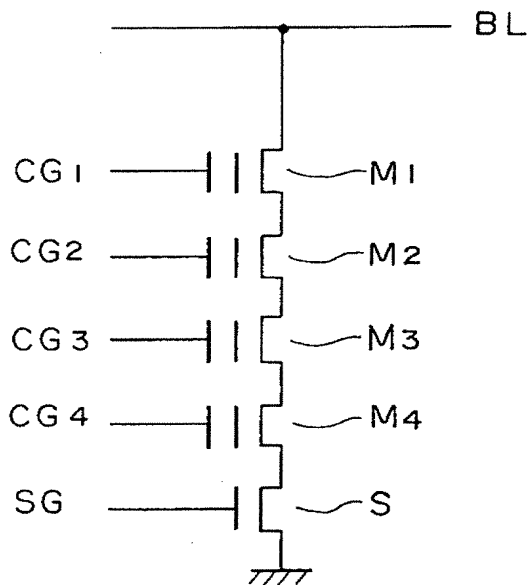
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】NANDセル型EEPROMの高集積化を図ることを目的とする。

【構成】NANDセルを構成するメモリセルM1～M4のビット線BL側のメモリセルM1のドレインは選択ゲートを介することなく直接ビット線BLに接続され、メモリセルM4のソースは選択ゲートSを介してソース線に接続される。データ書き込みモードにおいて、選択されたワード線に高電位が与えられ、NANDセル内の非選択ワード線に中間電位が与えられ、選択されたビット線にデータに応じて接地電位または電源電位が与えられ、非選択ビット線に電源電位が与えられる。



1

【特許請求の範囲】

【請求項 1】半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な不揮発性半導体メモリセルが隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続されて NAND セルを構成してマトリクス配列されたセルアレイと、前記 NAND セルの一端部のドレイン拡散層が直接接続されたビット線と、前記 NAND セルの他端部のソース拡散層が選択ゲートを介して接続されたソース線と、前記 NAND セルを構成する各メモリセルの制御ゲートがそれぞれ接続されたワード線と、選択されたワード線に高電位を与え、非選択ワード線に電源電位と前記高電位の間の中間電位を与え、選択されたビット線にデータに応じて“L”レベルまたは“H”レベルを与え、非選択ビット線に電源電位を与えるデータ書き込み手段と、を有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、電荷蓄積層と制御ゲートが積層形成された構造を有する電氣的書き替え可能なメモリセルを用いた NAND セル型の不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】従来より、EEPROM の中で高集積化可能なものとして、メモリセルを複数個直列接続した NAND セル型の EEPROM が知られている。一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層された FETMOS 構造を有し、複数個のメモリセルが隣接するもの同士でソース、ドレインを共用する形で直列接続されて NAND セルを構成する。この様な NAND セルがマトリクス配列されてメモリセルアレイが構成される。セルアレイの列方向に並ぶ NAND セルの一端側のドレインは、それぞれ選択ゲートを介してビット線に共通接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続されている。メモリセルの制御ゲートおよび選択ゲートのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0003】この NAND セル型 EEPROM の動作は次の通りである。

【0004】データ書き込みは、ビット線から遠い方のメモリセルから順に行われる。n チャンネルの場合を説明すれば、選択されたメモリセルの制御ゲートには高電位 V_{pp} （例えば 20 V）が印加され、これよりビット線側にある非選択のメモリセルの制御ゲートおよび選択ゲートには中間電位 V_M （例えば 10 V）が印加される。ビット線には、データに応じて 0 V（例えば“1”）、または中間電位 V_M （例えば“0”）が印加される。このときビット線の電位は、選択ゲートおよび非選択メモリ

2

セルを通して選択メモリセルのドレインまで伝達される。

【0005】書き込むべきデータがあるとき（“1”データのとき）は、選択メモリセルのゲート・ドレイン間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入される。これにより、選択メモリセルのしきい値は正方向に移動する。書き込むべきデータがないとき

（“0”データのとき）は、しきい値変化はない。

【0006】データ消去は、p 型基板（ウェル構造の場合は n 型基板およびこれに形成された p 型ウェル）に高電位が印加され、選択されたメモリセルの制御ゲートおよび選択ゲートが 0 V とされ、非選択メモリセルの制御ゲートには高電位が印加される。これにより、選択されたメモリセルにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

【0007】データ読み出しは、選択ゲートおよび選択メモリセルよりビット線側の非選択メモリセルがオンとされ、選択メモリセルのゲートに 0 V が与えられる。この時ビット線に流れる電流を読むことにより、“0”，“1”の判別がなされる。

【0008】この様に従来の NAND セル型 EEPROM では、データ書き込みモードにおいて、書き込みを行わないビット線には中間電位 V_M を印加する。このため非選択の NAND セルでのデータ破壊を防止するために各 NAND セルとビット線との間に選択ゲートを設けることが不可欠となっていた。もし、この選択ゲートがないと、制御ゲートがすべて 0 V となる非選択 NAND セルのビット線側のメモリセルは、ビット線の中間電位がドレインに与えられて、消去モードになるからである。しかもこのときビット線に与えられるのが電源電位より高い中間電位であるため、ビット線側の選択ゲートはパンチスルー耐圧を十分なものとするために、ゲート長をあまり短くすることができない。

【0009】したがってビット線側に選択ゲートを必要とすることが、従来の NAND セル型 EEPROM のチップ面積の縮小と一層の高集積化を阻害する原因となっていた。

【0010】また例えば、4 Mビットレベルの NAND セル型 EEPROM では、ビット線が 1000 ~ 4000 本にもなる。これだけの本数のビット線に中間電位 V_M を与えるための昇圧回路を設けることも、EEPROM の高集積化を阻害する。

【0011】

【発明が解決しようとする課題】以上のように従来の NAND セル型 EEPROM では、データ書き込み時に電源電位より高い中間電位を用いるために、NAND セルとビット線の間に選択ゲートを設けることが不可欠であった。これが一層の高集積化を阻害しているという問題があった。

【0012】本発明はこの様な点の鑑みなされたもの

3

で、高集積化を可能としたNANDセル型のEEPROMを提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係るNANDセル型EEPROMは、NANDセルの一端部のドレインが選択ゲートを介することなく直接ビット線に接続される。またこの選択ゲートの省略に対応して、データ書込みモードにおいて、ビット線には昇圧電位を用いないようにする。すなわち、選択されたワード線に高電位を与え、NANDセル内の非選択ワード線に電源電位と前記高電位の間の中間電位を与え、選択されたビット線にデータに応じて“L”レベルまたは“H”レベル電位を与え、非選択ビット線に電源電位を与えるデータ書込み手段を有する。

【0014】

【作用】本発明においては、非選択ビット線に対して従来与えていた昇圧電位を電源電位に下げることによって、NANDセルとビット線の間の選択ゲートを省略している。したがってNANDセル型EEPROMのチップ面積の大幅な縮小が可能になる。

【0015】本発明においては、データ書込み時に非選択NANDセルのビット線側端部のメモリセルにかかる電圧ストレスは、電源電圧以下である。これは、通常のNANDセル型EEPROMのデータ読出し時にメモリセルにかかる電圧ストレスと変わらないので、非選択NANDセルでデータ破壊が生じることはなく、選択ゲートがなくても十分信頼性は保証される。

【0016】

【実施例】以下、図面を参照しながら実施例を説明する。

【0017】図1は本発明の一実施例に係るEEPROMのNANDセルを示す平面図であり、図2(a)(b)はそのA-A'、B-B'断面図である。また図3はNANDセルの等価回路である。

【0018】この実施例では、4個のメモリセルM1～M4がそれらのソース、ドレイン拡散層を隣接するもの同士で共用する形で直列接続されてNANDセルを構成している。このようなNANDセルがマトリクス配列されてセルアレイが構成される。NANDセルの一端のドレインは直接ビット線BLに接続され、他端のソースは、選択ゲートSを介して共通ソース線（接地線）に接続されている。各メモリセルの制御ゲートCG1～CG4は、ビット線BLと交差する方向に配設されてワード線WLとなる。

【0019】この実施例では、4個のメモリセルで一つのNANDセルを構成しているが、一般に2のn乗個（ $n=1, 2, \dots$ ）のメモリセルで一つのNANDセルを構成することができる。

【0020】具体的なメモリセル構造は、図2に示す通りである。n型シリコン基板1にp型ウェル1'が形成

4

され、このp型ウェル1'にメモリセルが配列形成されている。周辺回路は、メモリセルとは別のp型ウェルに形成されることになる。p型ウェル1'の素子分離絶縁膜2で囲まれた領域に4個のメモリセルと1個の選択ゲートが形成されている。

【0021】各メモリセルは、p型ウェル1'上に5～20nmの熱酸化膜からなる第1ゲート絶縁膜31を介して形成された50～400nmの第1層多結晶シリコンにより浮遊ゲート4（41～44）が形成され、この上に15～40nmの熱酸化膜からなる第2ゲート絶縁膜5を介して形成された100～400nmの第2層多結晶シリコンにより制御ゲート6（61～64）が形成されている。各メモリセルのソース、ドレイン拡散層となるn型層9は、隣接するもの同士で共用する形で、4個のメモリセルが直列接続されている。

【0022】NANDセルのソース側端部には、p型ウェル1'上に5～40nmの熱酸化膜からなるゲート絶縁膜32を介して第1層多結晶シリコンにより形成されたゲート電極45をもつ選択ゲートが形成されている。ここでゲート絶縁膜32は第1のゲート絶縁膜31と同じでもよい。ゲート電極45には第2多結晶シリコンによる配線65が重ねて配設されている。これらゲート電極45と配線65は、所定間隔毎にスルーホールで接続されて、低抵抗化される。

【0023】ここで、各メモリセルの浮遊ゲート41～44と制御ゲート61～64、および選択ゲートのゲート電極45と配線65は、チャネル長方向については同一エッチングマスクを用いてパターンニングして揃えられている。ソース、ドレイン拡散層となるn型層9は、これらの電極をマスクとして、砒素またはリンのイオン注入により形成されている。

【0024】素子形成された基板上は、CVD絶縁膜7により覆われ、この上にAl膜によりビット線8が配設される。NANDセルの一端のドレインは、選択ゲートを介することなく、直接このビット線8に接続されている。

【0025】この様な構成において、各メモリセルの浮遊ゲート4と基板間の結合容量C1は、浮遊ゲート4と制御ゲート6間の結合容量C2に比べて小さく設定されている。この関係は、図2(a)に示されるように、浮遊ゲート4を素子領域上から素子分離領域上に延在させることにより得られている。

【0026】具体的なパラメータを挙げて説明すれば、パターン寸法は1 μ mルールに従って、浮遊ゲート4および制御ゲート6共に幅が1 μ m、チャネル幅が1 μ mであり、浮遊ゲート4は素子分離絶縁膜上に両側1 μ mずつ延在させている。また、第1ゲート絶縁膜31は例えば、10nmの熱酸化膜であり、第2ゲート絶縁膜5は28nmの熱酸化膜である。

【0027】熱酸化膜の誘電率を ϵ とすると、

50

5

$$C1 = \epsilon / 0.02$$

であり、

$$C2 = 3\epsilon / 0.035$$

である。従って、 $C1 < C2$ となっている。

【0028】図4は、二つのビット線BL1、BL2につながる隣接する二つのNANDセル部を示しており、これを用いてEEPROM動作を説明する。

【0029】まずデータ消去は、NANDセルを構成するメモリセルについて一括消去がなされる。そのためこの実施例では、選択ゲートSのゲート電極SGおよびNANDセル内のすべてのメモリセルの制御ゲートCG1～CG4が0Vとされ、n型基板1とp型ウェル1'に昇圧された高電位Vpp'（例えば18V）が与えられる。ビット線BL1、BL2にも高電位Vpp'が与えられる。

【0030】これにより、すべてのメモリセルの制御ゲートとp型ウェル1'間に電界が係り、浮遊ゲート4からp型ウェル1'にトンネル電流により電子が放出される。すべてのメモリセル（図4の場合M1～M8）はこれによりしきい値が負方向に移動して、“0”状態になる。

【0031】次に、データ書き込みは、NANDセル内のソース線側のメモリセル即ちビット線から遠いほうのメモリセルから順に行われる。いま、メモリセルM4

（図4の破線で囲んだセルA）に選択的に“1”データ書き込みを行う場合を説明すれば、選択ゲートSのゲート電極SGが0Vとされ、制御ゲートCG4に高電位Vpp（例えば16～18V）が印加され、残りの制御ゲートCG1～CG3には電源電位Vccと高電位Vppの間の中間電位VM（例えば、 $(1/2)Vpp$ ）が印加される。また、選択ビット線BL1には“L”レベル電位として0Vが与えられ、非選択ビット線BL2には“H”レベル電位として電源電位Vcc（5V）が与えられる。p型ウェルは0V、n型基板はVccとする。

【0032】これにより、選択されたセルAにおいては、ビット線BL1の0Vがドレインまで伝達されて制御ゲートとの間に高電界がかかり、浮遊ゲートに電子が注入される。この結果、セルAではしきい値が正方向に移動して、“1”書き込みがなされる。

【0033】ビット線BL1に繋がる他のメモリセルM1～M3では書き込みモードになるが、その電界は小さく、しきい値変化はない。非選択（または“0”書き込み）のビット線BL2側のメモリセルM5～M7では、

6

制御ゲートが中間電位VM、チャネル電位がVccであり、その電位差は3～4Vであって、やはりしきい値変化はない。ビット線BL2側のメモリセルM8も同様に書き込みモードであるが、やはりその電界は小さく、しきい値変化はない。

【0034】この様にしてセルAに対する書き込みが終了すると、次にNANDセル内の一つ上のメモリセルM3に対して同様に書き込みが行われ、順次メモリセルM2、M1と書き込みがなされる。

【0035】以上の書き込み動作において、メモリセルの制御ゲートには高電位Vppと中間電位VMが印加されるが、流れる電流はトンネル電流のみであるので、たかだか1μA以下である。また一括消去時はn型基板とp型ウェルを高電位Vpp'に上げるが、このとき流れる電流は、トンネル電流と、0Vに保たれる周辺回路のp型ウェルとn型基板間のリーク電流であり、これも10μA以下である。したがって書き込みおよび消去に用いられる高電位VppおよびVpp'（これらは同じ値でも良い）は、チップ内部に設けられた昇圧回路で十分賄うことができる。

【0036】また選択書き込み時に高電位により流れる電流は上述のように微小であるから、一つの制御ゲート線（ワード線）につながる全てのメモリセルに同時にデータ書き込みが可能である。即ち、ページモードの書き込みができ、それだけ高速書き込みが可能である。

【0037】データ読出し動作は、図4のセルAについて説明すれば、選択ゲートのゲート電極SGにVccが与えられ、非選択メモリセルM1～M3の制御ゲートCG1～CG3には“1”状態のメモリセルがオンする程度の電位としてやはりVccがあたえられ、選択セルの制御ゲートCG4は0Vとされる。そして選択セルにつながるビット線BL1には1～5Vの読出し電位があたえられ、他の非選択ビット線BL2は0Vとされる。

【0038】これにより、ビット線BL1に電流が流れるか否かによって、データ“0”、“1”の判別がなされる。

【0039】以上のデータ消去、書き込みおよび読出し動作での各部の電位関係をまとめて、表1に示した。書き込みおよび読出しは、図4のメモリセルM4（セルA）を選択した場合である。

【0040】

【表1】

	一括消去	選択書込み (M4)	読出し (M4)
BL1	V _{pp} '	0V	1~5V
BL2	V _{pp} '	5V	0V
ソース	V _{pp} '	0V	0V
SG	0V	0V	5V
CG1	0V	V _H	5V
CG2	0V	V _H	5V
CG3	0V	V _H	5V
CG4	0V	V _{pp}	0V
pウェル	V _{pp} '	0V	0V
n基板	V _{pp} '	5V	5V

以上において、実施例のEEPROMを構成する基本NANDセルの構成と動作を説明した。次のこの様なNANDセルを用いたメモリセルアレイおよびその周辺回路を含むEEPROM全体の構成と動作を説明する。

【0041】図5は、EEPROMの全体構成を示すブロック図である。11が前述したNANDセルをマトリクス配列して構成されたセルアレイである。このセルアレイ11の具体的な等価回路は、図6に示す通りである。ビット線BLとワード線WLが交差して配設され、その各交差部にメモリセルM11, M12, ...が配置される。各メモリセルは前述のように4個ずつNANDセルを構成してその一端部のドレインは直接ビット線BLに接続されている。

【0042】セルアレイ11の周囲には、ビット線を制御するセンスアンプ兼データラッチ回路12、ワード線を選択する行デコーダ13、行アドレスバッファ14、ビット線を選択する列デコーダ15、列アドレスバッファ16等が配置されている。センスアンプ兼データラッチ回路12は入出力データを一時記憶するためのもの、すなわち読出し時にセンスアンプとして働き、書込み時

にデータラッチとして働く。データ消去時にはビット線から切り離される。センスアンプ兼データラッチ回路12はこの実施例ではビット線BLの本数分（例えば256個）の容量を持つ。センスアンプ兼データラッチ回路12は入出力バッファ17を介して外部端子につながる。

【0043】図7は、センスアンプ兼データラッチ回路12の部分の具体的な構成例である。PMOSトランジスタQP2, QP3およびNMOSトランジスタQN2, QN3により構成されたクロックドCMOSインバータと、PMOSトランジスタQP4, QP5およびNMOSトランジスタQN4, QN5により構成されたクロックドCMOSインバータとの組み合わせによりCMOSフリップフロップ21がセンスアンプ兼データラッチ回路12の本体である。

【0044】このフリップフロップ21の一つのノードN1は、トランスファゲート・トランジスタQN1を介してビット線BLに接続されている。また二つのノードN1, N2はそれぞれ、トランスファゲート・トランジスタQN6, QN7を介してデータ入出力線IO, /IOに接

続されている。トランスファゲート・トランジスタQN6, QN7は、カラム選択信号CSLiにより制御される。データ入出力ピンが8個のEEPROMでは、 $i = 0 \sim 63$ である。

【0045】ビット線BLには、PMOSTランジスタQP1とDタイプNMOSTランジスタQD1からなるプリチャージ回路22が設けられている。

【0046】このセンスアンプ兼データラッチ回路の動作を次に説明する。図8の(a)は読出しモードでのタイミング図であり、(b)は書込みモードでのタイミング図である。

【0047】読出し動作ではまず、クロック/ ϕA , ϕB が“H”レベル、クロック ϕA , ϕB が“L”レベルでCMOSフリップフロップ21が非活性状態にされる。そしてビット線プリチャージ信号/PREが“H”レベル、PREが“L”レベルになり、プリチャージ回路22によりビット線BLはVccにプリチャージされる。

【0048】ワード線WLに行デコーダ13から信号が出力されると、メモリセルのデータによってビット線の電位はVccか0Vとなる。このとき制御信号BLCは“H”レベルであって、トランスファゲートQN1はオンしている。そしてまず、クロック/ ϕA が“L”レベル、 ϕA が“H”レベルとなり、続いてクロック/ ϕB が“L”レベル、 ϕB が“H”レベルになって、ビット線BLの電位がフリップフロップ21にラッチされる。その後カラム選択信号CSLiが“H”レベルになると、ラッチされたデータは入出力線IO, /IOを介して出力される。

【0049】書込み動作時は、プリチャージ信号は/PREが“H”レベル、PREが“L”レベルであり、フリップフロップ21の活性化信号は/ ϕA , ϕB が“L”レベル、 ϕA , ϕB が“H”レベルである。まず、制御信号BLCが“L”レベルとなって、ビット線BLとフリップフロップ21は切り離される。外部からのデータが、入出力線IO, /IOに転送されると、カラム選択信号CSLiが順次“H”レベルになって、CMOSフリップフロップ21に次々にラッチされる。

【0050】その後、制御信号BLCが書込み時の非選択ワード線電位VMまで昇圧され、CMOSフリップフロップ21からビット線BLにデータに応じてVccまたは0Vが転送されて、選択メモリセルで書込みがなされる。

【0051】図9は、ワード線を選択駆動するための行デコーダ13の具体的な構成例である。各ワード線にはそれぞれ、NMOSTランジスタQN13, QN15, QN17, QN19、およびPMOSTランジスタQP13, QP15, QP17, QP19により構成されたCMOSTランスファゲートと、NMOSTランジスタQN14, QN16, QN18, QN20からなるリセット回路を含むワード線選

択回路321, 322, 323, 324が設けられている。行デコーダイネーブル信号RDENBとアドレスaiが入力されるNANDゲートG1がNANDセルブロックを選択するゲートである。

【0052】このNANDゲートG1の出力とこれをインバータI1で反転した信号により制御されるブロック選択回路31は、PMOSTランジスタQP11, QP12およびNMOSTランジスタQN11, QN12により構成されている。このブロック選択回路31の出力が上述のワード線選択回路321~324を制御する。PMOSTランジスタQP17, NMOSTランジスタQN21, QN22は選択ゲートの選択回路33を構成している。

【0053】データ読出し時、制御信号READが“H”レベル、/READが“L”レベルである。また、VRW=5V、Vwell=VCE=0Vである。例えばメモリセルM13を読出す場合を説明すれば、アドレスaiが確定した後、行デコーダイネーブル信号RDENBが“H”レベルになると、NANDセルブロックが選択される。図9のブロックが選択されたとすると、NANDゲートG1の出力が“L”レベルになる。これにより、ブロック選択回路31の一方の出力ノードN11が“H”レベル、他方の出力ノードN12が“L”レベルになる。

【0054】これにより、ワード線選択回路321~324ではリセットトランジスタがオフ、トランスファゲートがオンとなって、ワード線駆動回路の出力であるCD1, CD2, CD4=5V、CD3=0Vがこのブロック内の各制御ゲートに与えられる。選択ゲート選択回路33はこのとき、NMOSTランジスタQN21がオン、NMOSTランジスタQ22がオフ、PMOSTランジスタQP17がオフであって、選択ゲートS1, ..., S256に“H”レベルが与えられ、選択ゲートS1, ..., S256はオンとなる。以上により、メモリセルM13のデータ読出しが行われる。

【0055】データ消去の場合、同様にNANDセルブロックが選択されてブロック単位で消去が行われる。このとき、選択ゲートS1, ..., S256はオフになる。制御信号READ=“L”レベル、/READ=“H”レベルであり、VRW=Vwell=VCE=Vpp'、CD1=CD2=CD3=CD4=0Vである。これにより、選択ブロック内のすべてのメモリセルでデータ消去がなされる。

【0056】データ書き込みの場合も同様にブロック選択が行われる。このとき、VRW=Vpp、VCE=Vwell=0Vである。また、READ=“L”レベル、/READ=“H”レベルであって、選択ゲートS1, ..., S256はオフになる。メモリセルM13が選ばれた時には、CD1=CD2=CD4=VM、CD3=Vppが各制御ゲートに与えられる。これにより、ビット線BL1に与えられたデータに応じてメモリセルM13で書き込みが行われる。

11

【0057】上記実施例では、書込み時ビット線に与える“H”レベルデータを V_{cc} ，“L”レベルデータを0Vとしたが、次に、“H”レベルデータを V_{cc} より高い中間電位VMとした実施例を、ビット線に沿う隣接するNANDセル・ブロック、例えば図6のブロックA、Bの電位関係を考慮しながら説明する。

【0058】データ消去はブロック単位で行われるが、例えばブロックAのデータ消去を行う場合には、選択ゲートSG1、SG2および選択ブロックA内のすべてのメモリセルの制御ゲートCG11～CG14が0Vとされ、非選択ブロックB内の制御ゲートCG21～CG24には昇圧された高電位 V_{pp}' が与えられ、n型基板とp型ウェル1'には V_{pp}' が与えられる。ビット線BL1、BL2にも高電位 V_{pp}' が与えられる。

【0059】これにより、選択されたNANDセルブロックA内ですべてのメモリセルは、浮遊ゲートからの電子放出がなされて、“0”となる。

【0060】データ書込みは、図6のブロックA内のメモリセルM41に着目して“1”書込みを説明すると、選択ゲートSG1、SG2に0V、選択ブロックAの制御ゲートCG14に高電位 V_{pp} が印加され、選択ブロックAの残りの制御ゲートCG11～CG13には高電位 V_{pp} と電源電位 V_{cc} の中間電位VMが印加される。選択ビット線BL1には“L”レベル電位として0Vが与えられ、非選択ビット線BL2には“H”レベル電位として V_{cc} より高い中間電位VMが与えられる。非選択ブロックBの制御ゲートCG21～CG24には V_{cc} が印加される。p型

12

ウェルは0V、n型基板は V_{cc} とする。

【0061】これにより、選択されたメモリセルM41において浮遊ゲートに電位注入がなされて“1”書込みがなされる。このとき中間電位VMが与えられたビット線BL1に繋がる選択ブロックA内の他のメモリセルの制御ゲートはVMであるから、データの変化はない。また非選択ブロックB内のメモリセルは消去モードになるが制御ゲートに V_{cc} が与えられているため大きな電界はかからず、データ消去されない。

10 【0062】こうしてメモリセルM41に書込みがなされた後、順次メモリセルM31、M21、…と書込みがなされる。

【0063】データ読出しは、ブロックAのメモリセルM41について説明すれば、選択ゲートSG1および制御ゲートCG11～CG13に V_{cc} が与えられ、選択セルの制御ゲートCG15が0Vとされる。そして選択セルに繋がるビット線BL1に1～5Vの読出し電位が与えられる。非選択ブロックBについては、選択ゲートSG2、制御ゲートCG21～CG24がすべて0Vとされる。

20 【0064】これにより、ビット線BL1に電流が流れるか否かにより、データを“0”，“1”の判定がなされる。

【0065】以上の各動作の電位関係をまとめて、表2に示した。

【0066】

【表2】

	ブロック消去 (ブロック A)	選択書込み (M41)	読出し (M41)
BL1	Vpp'	0 V	1 ~ 5 V
BL2	Vpp'	VM	0 V
ソース	Vpp'	0 V	0 V
SG1	0 V	0 V	5 V
SG2	0 V	0 V	0 V
CG11	0 V	VM	5 V
CG12	0 V	VM	5 V
CG13	0 V	VM	5 V
CG14	0 V	Vpp	0 V
CG21	Vpp'	5 V	0 V
CG22	Vpp'	5 V	0 V
CG23	Vpp'	5 V	0 V
CG24	Vpp'	5 V	0 V
pウェル	Vpp'	0 V	0 V
n基板	Vpp'	5 V	5 V

以上の動作を制御する周辺回路の構成は先の実施例と基本的に同じである。但し、図 7 のセンスアンプ兼データラッチ回路の CMOS フリップフロップ 21 において、電源電位 V_{cc} の部分が V_{cc} 固定ではなく、 V_{cc} と中間電位 V_M の間で変化する制御電位 V_{bitH} となる。

【0067】センスアンプ兼データラッチ回路 21 の動作も、基本的に先の実施例と同じであり、読出しモードでのタイミング図は図 8 (a) のようになる。この読出し動作中、 V_{bitH} は V_{cc} である。

【0068】データ書込みモードでは、図 8 (b) に代って、図 10 に示すように制御電位 V_{bitH} の変化が入る。外部からのデータがセンスアンプ兼データラッチ回路 21 に取り込まれるが、この間 V_{bitH} は V_{cc} である。その後、図 10 のように制御信号 BLC と V_{bitH} が中間電位 V_M まで昇圧され、CMOS フリップフロップ 21 から

ビット線 BL にデータに応じて V_M または $0 V$ が転送されて、前述のように書込みがなされる。

【0069】図 9 に示すワード線を駆動する行デコーダ 13 の構成、動作も変わらない。但、データ書込み時、先の実施例では $V_{CE} = 0 V$ としたのに対し、 $V_{CE} = V_{cc}$ とする点が異なる。

【0070】なお本発明は、上記実施例に限られるものではない。実施例では、浮遊ゲートと制御ゲートを持つ FETMOS 型メモリセルを用いたが、MNOS 型メモリセルを用いた場合も同様に本発明を適用することができる。

【0071】

【発明の効果】以上述べたように本発明によれば、書込み時の非選択ビット線の電位を外部電源電位として、ドレイン側の選択ゲートを省略することにより、高集積化

15

を可能としたNANDセル型EEPROMを提供することができる。

【図面の簡単な説明】

【図1】本発明一実施例に係るEEPROMのNANDセルの平面図。

【図2】図1のNANDセルのA-A' およびB-B' 断面図。

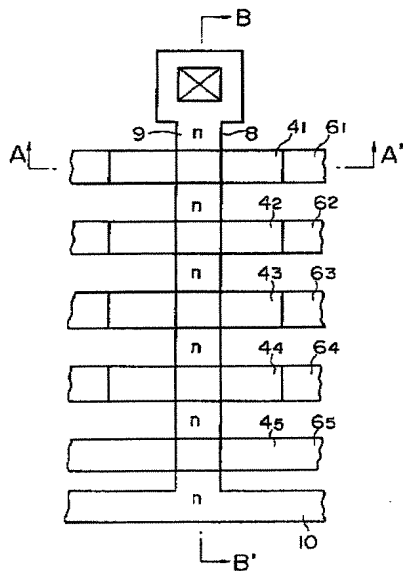
【図3】同NANDセルの等価回路図。

【図4】隣接する二つのNANDセル部の等価回路図。

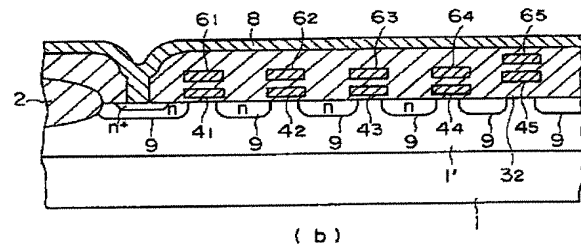
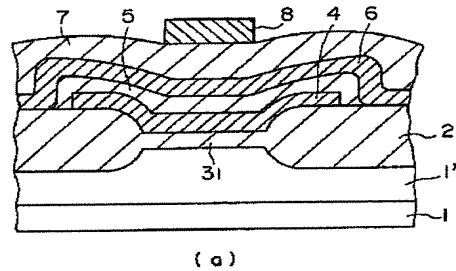
【図5】同実施例のEEPROMの全体構成を示すブロック図。

【図6】同実施例のEEPROMのメモリセルアレイ構成を示す図。

【図1】



【図2】



16

* 【図7】同実施例のセンスアンプ兼データラッチ回路部の具体的構成を示す図。

【図8】同実施例のデータ読出しおよび書込み動作を説明するためのタイミング図。

【図9】同実施例の行デコーダの具体的構成を示す図。

【図10】別の実施例の書込みモードのタイミング図。

【符号の説明】

M1 ~ M4 ...メモリセル、

S...選択ゲート、

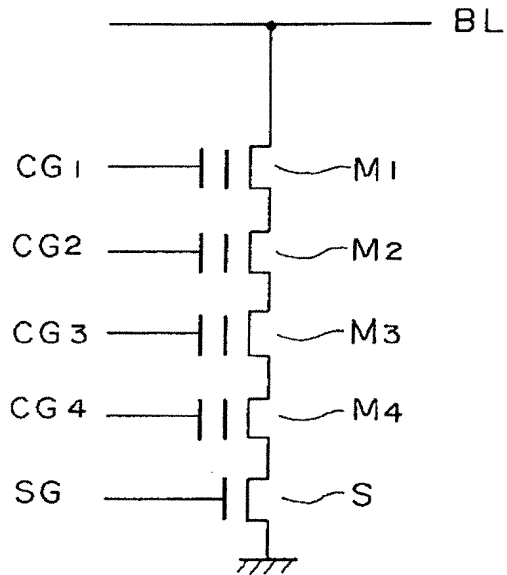
BL...ビット線、

CG1 ~ CG4 ...制御ゲート線、

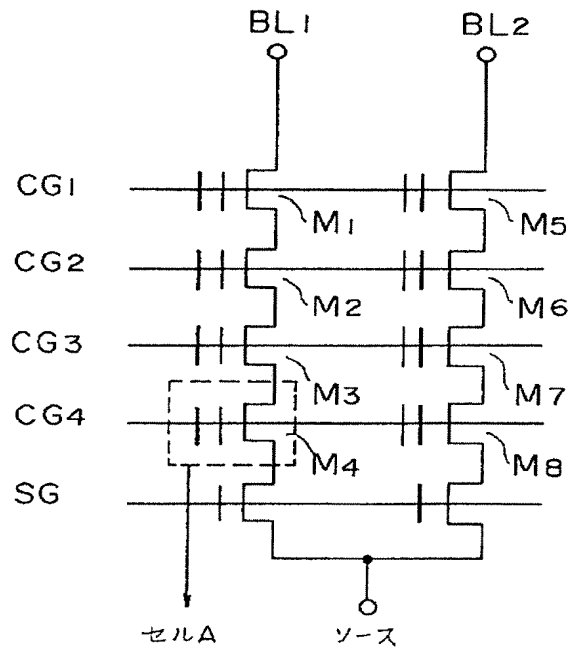
CG...選択ゲート線。

*

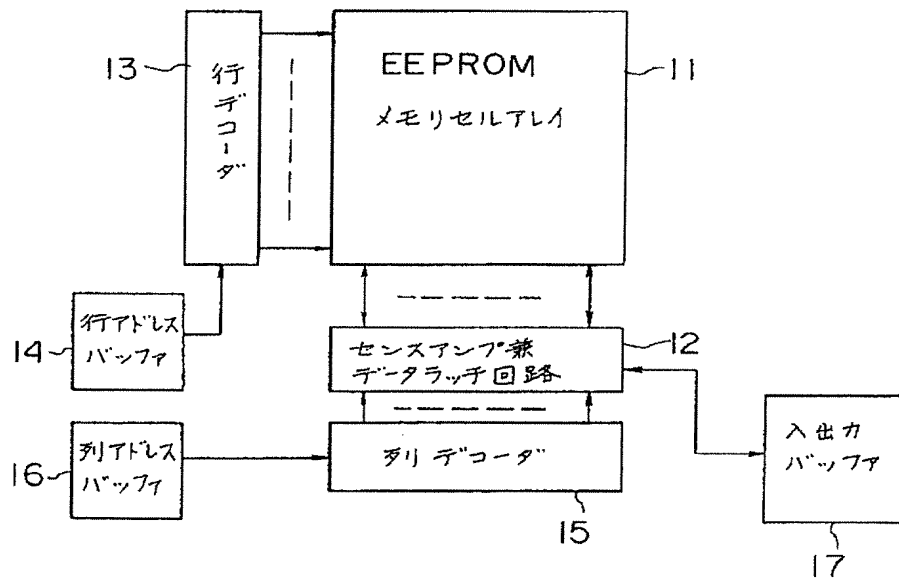
【図3】



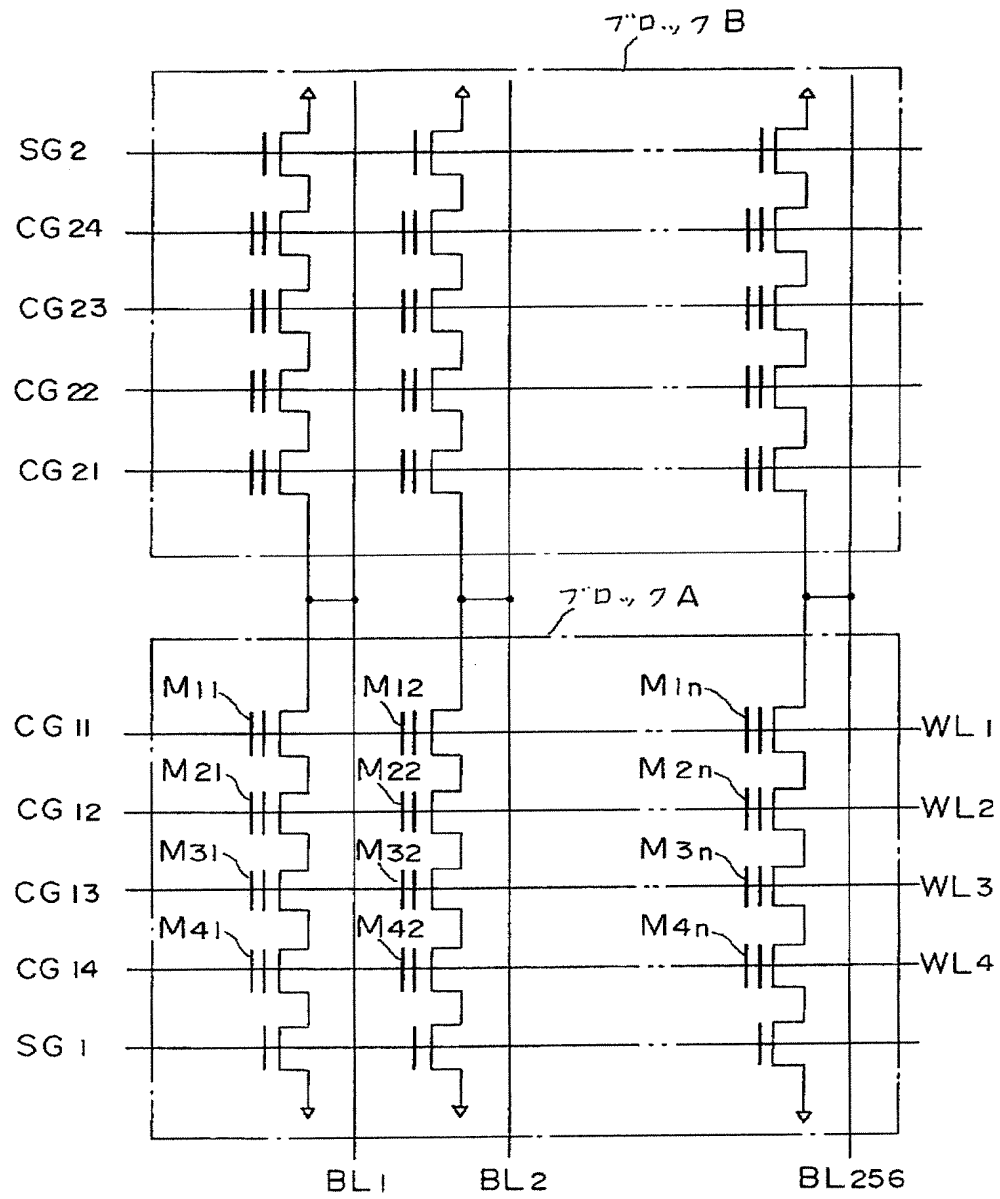
【図4】



【図5】

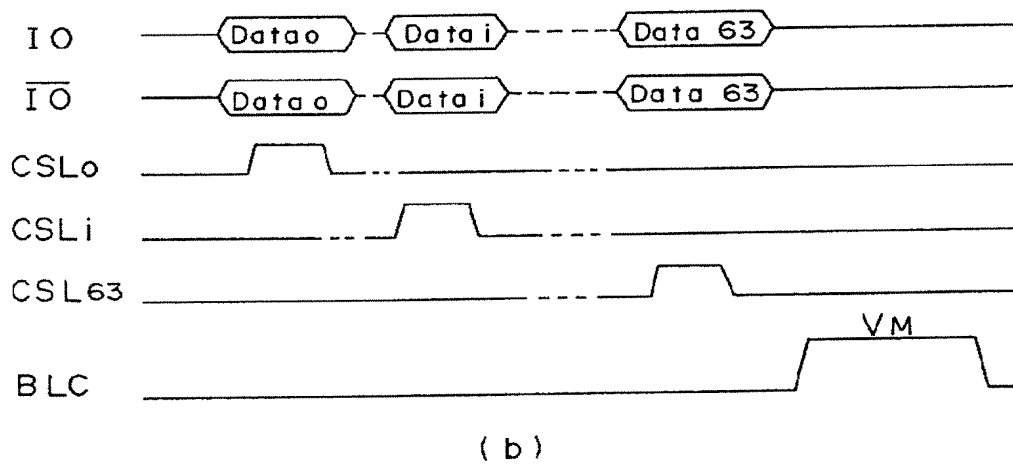
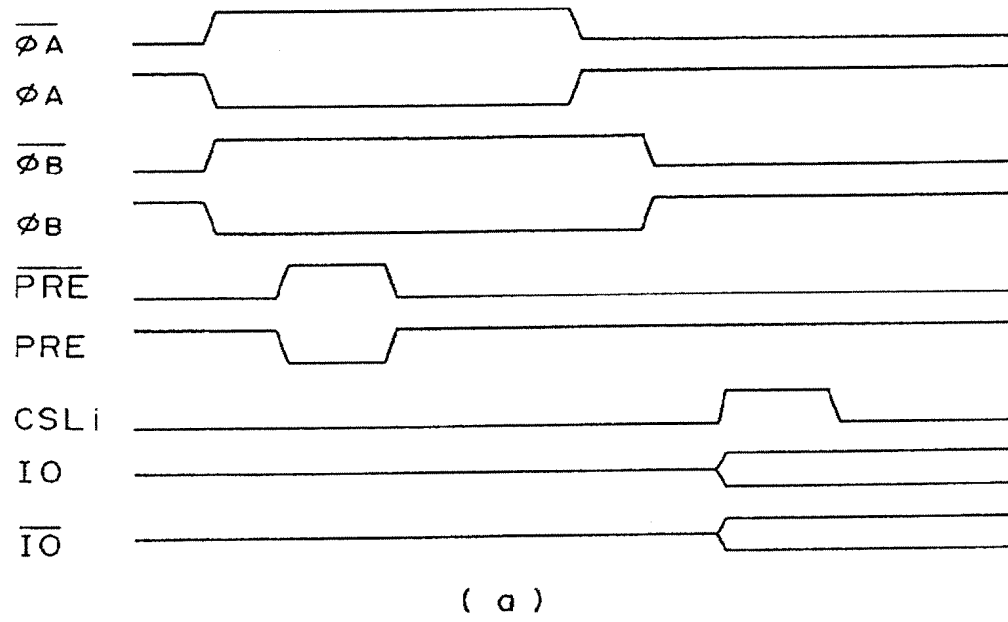


【図 6】



[illegible]

【図 8】



The circuit diagram illustrates a memory array architecture. It features a grid of access transistors (Q_N11-Q_N20) and storage capacitors (M_Z56.1-M_Z56.4). Wordlines are labeled BL1, BL256, and Vwell. Bitlines are labeled CD1, CD2, CD3, and CD4. Sense amplifiers (321-324) are connected to the bitlines. The circuit includes control logic at the bottom involving gates G₁, G₂, and inverters I₁, I₂. Input signals include RDENB, VRW, READ, and WRITE.

(72)発明者 百富 正樹
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 田中 義幸
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝総合研究所内